



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Osamu HIRABAYASHI

GAU:

SERIAL NO: 10/805,227

EXAMINER:

FILED: March 22, 2004

FOR: SEMICONDUCTOR INTEGRATED CIRCUIT

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS  
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
JAPAN	2004-009329	January 16, 2004

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.

\_\_\_\_\_  
Marvin J. Spivak

Registration No. 24,913  
Joseph A. Scafetta, Jr.  
Registration No. 26, 803

Customer Number

22850

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 05/03)

10/805,227  
0381351

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日      2 0 0 4 年   1 月 1 6 日  
Date of Application:

出 願 番 号      特 願 2 0 0 4 - 0 0 9 3 2 9  
Application Number:  
[ST. 10/C]:      [ J P 2 0 0 4 - 0 0 9 3 2 9 ]

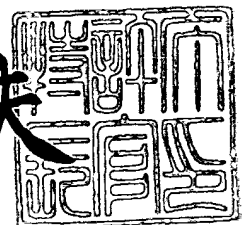
出      願      人      株式会社東芝  
Applicant(s):

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2 0 0 4 年   4 月   6 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号   出証特 2 0 0 4 - 3 0 2 8 1 4

【書類名】 特許願  
【整理番号】 A000304601  
【提出日】 平成16年 1月16日  
【あて先】 特許庁長官 殿  
【国際特許分類】 H01L 21/66  
【発明者】  
    【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マイクロエ  
                                レクトロニクスセンター内  
    【氏名】 平林 修  
【特許出願人】  
    【識別番号】 000003078  
    【氏名又は名称】 株式会社 東芝  
【代理人】  
    【識別番号】 100058479  
    【弁理士】  
    【氏名又は名称】 鈴江 武彦  
    【電話番号】 03-3502-3181  
【選任した代理人】  
    【識別番号】 100091351  
    【弁理士】  
    【氏名又は名称】 河野 哲  
【選任した代理人】  
    【識別番号】 100088683  
    【弁理士】  
    【氏名又は名称】 中村 誠  
【選任した代理人】  
    【識別番号】 100108855  
    【弁理士】  
    【氏名又は名称】 蔵田 昌俊  
【選任した代理人】  
    【識別番号】 100084618  
    【弁理士】  
    【氏名又は名称】 村松 貞男  
【選任した代理人】  
    【識別番号】 100092196  
    【弁理士】  
    【氏名又は名称】 橋本 良郎  
【手数料の表示】  
    【予納台帳番号】 011567  
    【納付金額】 21,000円  
【提出物件の目録】  
    【物件名】 特許請求の範囲 1  
    【物件名】 明細書 1  
    【物件名】 図面 1  
    【物件名】 要約書 1

**【書類名】 特許請求の範囲****【請求項 1】**

メモリと、

前記メモリの出力データに対して  $N$  ( $N$  は自然数) ビットのエラー訂正機能を有する ECC 回路と、

前記メモリのテスト対象アドレスから第 1 データパターンが読み出された時に前記 ECC 回路により検出されたエラービット数  $n_1$  と、前記テスト対象アドレスの少なくとも一部に対して前記第 1 データパターンを反転させた第 2 データパターンが読み出された時に前記 ECC 回路により検出されたエラービット数  $n_2$  との合計が、 $N$  を越えるとき、それを示す信号を出力するエラー検知回路とを具備することを特徴とする半導体集積回路。

**【請求項 2】**

第 1 の動作として前記メモリのテスト対象アドレスから第 1 データパターンを読み出し、かつ、第 2 の動作として、前記テスト対象アドレスの少なくとも一部に対して前記第 2 データパターンを書き込み、その書き込んだ前記第 2 データパターンを読み出す BIST 回路を更に具備することを特徴とする請求項 1 に記載の半導体集積回路。

**【請求項 3】**

前記 BIST 回路は、前記テスト対象アドレスを変えながら、前記第 1 及び第 2 の動作を繰り返し行うことを特徴とする請求項 2 に記載の半導体集積回路。

**【請求項 4】**

前記 ECC 回路は、前記エラービット数  $n_1$ 、 $n_2$  を示す SEC 信号を出力し、

前記 BIST 回路は、前記第 1 データパターンの読み出し時に第 1 読み出し信号を出力し、前記第 2 データパターンの読み出し時に第 2 読み出し信号を出力し、

前記エラー検知回路は、前記第 1 読み出し信号を受けて前記エラービット数  $n_1$  を記憶し、前記第 2 読み出し信号を受けて前記エラービット数  $n_2$  を記憶し、ロジック処理により  $n_1 + n_2$  を計算することを特徴とする請求項 2 に記載の半導体集積回路。

**【請求項 5】**

前記エラー検知回路は、前記テスト対象アドレスのビットのうち、前記第 2 データパターンの書き込みが行われたビットのみをチェック対象ビットとし、前記チェック対象ビットに発生したエラーについて前記エラービット数  $n_2$  を算入することを特徴とする請求項 1 及び 2 のいずれか 1 項に記載の半導体集積回路。

**【請求項 6】**

前記 ECC 回路は、前記テスト対象アドレスのビットの各々に対してエラーの有無を示す SEC 信号を出力し、

前記 BIST 回路は、前記第 1 及び第 2 テストパターンを示すステート信号を出力し、

前記エラー検知回路は、前記ステート信号に基づいて前記チェック対象ビットを特定し、かつ、前記チェック対象ビットについて、前記 SEC 信号に基づき、前記エラービット数  $n_2$  を求める

ことを特徴とする請求項 5 に記載の半導体集積回路。

## 【書類名】明細書

## 【発明の名称】半導体集積回路

## 【技術分野】

## 【0001】

本発明は、半導体集積回路に関し、特に、ECC(Error Correcting Code)回路を搭載したメモリをテストするBIST(Built-In Self Test)回路に適用される。

## 【背景技術】

## 【0002】

半導体デバイス技術の進展による素子の微細化は、例えば、データを記憶するセルのストレージノード容量の減少を招いており、その結果、データのソフトエラーが大きな問題となってきた。

## 【0003】

そこで、近年では、このようなソフトエラー対策として、ECC回路をチップ内のメモリに搭載させることがよく行われている。

## 【0004】

ECC回路を搭載するメモリは、通常データとしてのデータビットを記憶する部分と、エラー検出のために使用するコードビットを記憶する部分とを持つ。データビットのエラーは、コードビットに基づいて検出する。エラーが検出されると、さらに、そのエラーがどのビットで発生したかを確認し、エラーの訂正を行う。

## 【0005】

ECC回路のエラー訂正能力及びエラー検出能力は、コードビットの数によって決まる。一般的なECC回路は、1ビットのエラー訂正機能と2ビットのエラー検出機能とを持つものが多い。この場合、コードビットとしては、SEC-DED(Single Error Correction-Double Error Detection)コードが使用される。

## 【0006】

ところで、システムLSIチップでは、それに搭載されるメモリの良／不良をテストするために、BIST(Built-In Self Test)回路をそのチップ内に搭載することが多くなっている。BIST回路の機能は、メモリに対してテストパターンの書き込み／読み出しを行い、メモリ出力としての読み出しデータと期待値としての書き込みデータとの比較により、セルの不良検出を行うというものである。

## 【0007】

テストパターンとしては、故障検出率、テスト時間、回路規模などを考慮し、いわゆるマーチパターンが広く使用されている。

## 【0008】

マーチパターンによるテストアルゴリズム(基本動作)は、以下の通りである。

## 【0009】

(1) まず、メモリを構成する全てのセル(全てのアドレス)に対して、バックグラウンドデータを書き込む。バックグラウンドデータとしては、例えば、繰り返しデータ[1010・・・]、[0101・・・]や、同一データ[1111・・・]、[0000・・・]などが用いられる。

## 【0010】

(2) 次に、テスト対象アドレス(最初のアドレス)を特定し、そのテスト対象アドレスからデータを読み出す。そして、読み出しデータとバックグラウンドデータ(期待値)とを比較して、そのテスト対象アドレスのテストを行う。

## 【0011】

(3) 続いて、そのテスト対象アドレスに対して、バックグラウンドデータを反転させた反転データの書き込み／読み出しを行う。反転データは、例えば、バックグラウンドデータが[1010・・・]のときは、[0101・・・]となり、バックグラウンドデータが[1111・・・]のときは、[0000・・・]となる。そして、読み出しデータと反転データ(期待値)とを比較して、そのテスト対象アドレスのテストを行う。

## 【0012】

この後、テスト対象アドレスを変えながら、上記(2)及び(3)の動作を繰り返し行い、全てのアドレスをテストしたら、テスト動作を終了する。

## 【0013】

図12は、ECC回路を搭載するメモリとBIST回路とからなる従来の半導体集積回路の例を示している。

## 【0014】

メモリセルアレイ11には、通常データとしてのデータビットとエラー検出のためのコードビットとが記憶される。テスト時、データビットは、例えば、BIST回路13において生成され、また、コードビットは、例えば、ECC回路12においてデータビットに基づき生成される。

## 【0015】

メモリ出力としての読み出しデータは、ECC回路12によりエラー訂正された後に、BIST回路13に転送される。ECC回路12が1ビットのエラー訂正機能を有する場合、仮に、テスト対象アドレス内に1ビットの不良（セル故障など）があっても、これを訂正できるため、このような不良は、許容することができる。

## 【0016】

つまり、BIST回路13では、ECC回路12によりエラー訂正された読み出しデータとバックグラウンドデータ（期待値）との比較が行われるため、テスト対象アドレス内に1ビットを越えない不良があるときは、両者は等しく、テスト結果としては、良品と判断される。

## 【0017】

これに対し、テスト対象アドレス内に2ビット以上の不良（セル故障など）があるときは、1ビットのエラー訂正機能を有するECC回路12では、これを訂正できない。従って、BIST回路13では、読み出しデータとバックグラウンドデータ（期待値）とが完全に一致しないと判断され、テスト結果としては、不良品と判断される。

## 【0018】

しかしながら、BIST回路13によりマーチパターンを発生させて行う従来のテストでは、テスト対象アドレス内の不良ビットを正確に検出できない場合があり、この場合、不良品を良品として判定してしまう問題がある。

## 【0019】

この問題について、以下、具体的に説明する。

## 【0020】

前提として、テスト対象となるメモリは、1ビットのエラー訂正機能と2ビットのエラー検出機能とを有するECC回路を搭載しているものとする。

## 【0021】

まず、メモリの全てのアドレスに対して、バックグラウンドデータとして、[1010・・・]を書き込む場合を考える。

## 【0022】

図13に示すように、バックグラウンドデータを書き込んだ後、テスト対象アドレス0, 1, 2, ... 7を特定し、そのテスト対象アドレス0, 1, 2, ... 7内の8ビットデータを読み出す。ここで、テスト対象アドレス0, 1, 2, ... 7のうち、アドレス5のビットが“1”縮退故障（常に“1”）であり、アドレス7のビットが“0”縮退故障（常に“0”）であるとする。

## 【0023】

この場合、同図の1)に示すように、アドレス5の“1”縮退故障については検出できるが、アドレス7の“0”縮退故障については検出できない。つまり、ECC回路は、アドレス5の1ビットエラーのみを検出し、このエラーを訂正するため、BIST回路は、その製品が不良品であるにもかかわらず、その製品を良品と判断してしまう。

## 【0024】

この後、同図の2)に示すように、テスト対象アドレス0, 1, 2, . . . 7に対し、バックグラウンドデータを反転させた反転データ [0101 . . .] の書き込み/読み出しを実行する。

【0025】

この場合、アドレス7の“0”縮退故障については検出できるが、アドレス5の“1”縮退故障については検出できない。つまり、ECC回路は、アドレス7の1ビットエラーのみを検出し、このエラーを訂正するため、BIST回路は、その製品が不良品であるにもかかわらず、その製品を良品と判断してしまう。

【0026】

同様に、メモリの全てのアドレスに対して、バックグラウンドデータとして、[1111 . . .] を書き込む場合を考える。条件は、前の例と同じとする。

【0027】

テスト対象アドレス0, 1, 2, . . . 7内の8ビットデータを読み出すと、同図の3)に示すように、アドレス7の“0”縮退故障については検出できるが、アドレス5の“1”縮退故障については検出できない。つまり、ECC回路は、アドレス5の1ビットエラーのみを検出し、このエラーを訂正するため、BIST回路は、その製品が不良品であるにもかかわらず、その製品を良品と判断してしまう。

【0028】

この後、同図の4)に示すように、テスト対象アドレス0, 1, 2, . . . 7に対し、バックグラウンドデータを反転させた反転データ [0000 . . .] の書き込み/読み出しを実行する。

【0029】

この場合、アドレス5の“1”縮退故障については検出できるが、アドレス7の“0”縮退故障については検出できない。つまり、ECC回路は、アドレス5の1ビットエラーのみを検出し、このエラーを訂正するため、BIST回路は、その製品が不良品であるにもかかわらず、その製品を良品と判断してしまう。

【0030】

このように、テスト対象アドレス0, 1, 2, . . . 7内に2ビットの縮退故障が存在していても、マーチパターンを用いてテストした場合、ECC回路は、これら2ビットの縮退故障を同時に検出することができないため、結果として、BIST回路は、テスト対象アドレス0, 1, 2, . . . 7内に2ビットの縮退故障がある製品に対して良品という誤った判定をしてしまう。

【0031】

なお、このような問題は、テストに使用するデータパターンの種類を増やすことにより解決できる。つまり、テスト対象アドレス0, 1, 2, . . . 7内にECC回路の訂正能力を超える数の縮退故障があった場合に、その縮退故障の全てを必ず検出できるようなデータパターンを用いてテストすることもできる。

【0032】

しかし、このように、データパターンの種類を増やしてテストを行うと、当然に、BIST回路の複雑化及び面積増加や、テスト時間の増大などの問題が生じる。

【特許文献1】USP 4, 604, 751

【特許文献2】特開平8-263391

【特許文献3】特開2001-211085

【特許文献4】USP 5, 910, 921

【特許文献5】特開2002-124098

【特許文献6】USP 5, 274, 646

【特許文献7】特開2000-196466

【発明の開示】

【発明が解決しようとする課題】

【0033】

本発明の目的は、ECC搭載メモリをマーチパターンによりテストする場合に、テスト時間の増大を招くことなく、テスト回路による不良検出精度を向上させることにある。

【課題を解決するための手段】

【0034】

本発明の例に関わる半導体集積回路は、メモリと、前記メモリの出力データに対してN（Nは自然数）ビットのエラー訂正機能を有するECC回路と、前記メモリのテスト対象アドレスから第1データパターンが読み出された時に前記ECC回路により検出されたエラービット数n1と、前記テスト対象アドレスの少なくとも一部に対して前記第1データパターンを反転させた第2データパターンが読み出された時に前記ECC回路により検出されたエラービット数n2との合計が、Nを越えるとき、それを示す信号を出力するエラー検知回路とを備える。

【発明の効果】

【0035】

本発明の例によれば、ECC搭載メモリをマーチパターンによりテストする場合に、テスト時間の増大を招くことなく、テスト回路による不良検出精度を向上させることができる。

【発明を実施するための最良の形態】

【0036】

以下、図面を参照しながら、本発明の例を実施するための最良の形態について詳細に説明する。

【0037】

1. 概要

本発明の例は、ECC回路を搭載したメモリをテストするテスト回路に適用される。例えば、テスト回路としてBIST回路を使用し、このBIST回路によりマーチパターンを発生してテストを行う場合、ECC回路のエラー訂正能力がN（Nは自然数）ビットであるとする、テスト対象アドレス内の不良（縮退故障など）は、Nビットまで許容することができる。

【0038】

言い換えると、ECC回路のエラー訂正能力がNビットのとき、テスト対象アドレス内の不良（縮退故障など）がNビットを越えると、ECC回路によっては、これを訂正することができないため、製品としては、不良品と判断しなければならない。

【0039】

しかしながら、BIST回路で広く採用されているマーチパターンを用いるテストでは、テスト対象アドレス内にNビットを越える不良が存在していても、同時に、全ての不良を検出することができず、結果として、不良品として判断しなければならない製品を良品として判断する場合があった。

【0040】

そこで、本発明の例では、(1) バックグラウンドデータ（第1データパターン）の読み出し、(2) バックグラウンドデータを反転させた反転データ（第2データパターン）の書き込み／読み出し、というマーチ動作の基本単位のうち、上記(1)の読み出し時にECC回路により検出されたエラービット数n1と上記(2)の読み出し時にECC回路により検出されたエラービット数n2との合計がNを越えているか否かに基づいて、製品の良／不良を判定する。

【0041】

このような構成により、テスト対象アドレス内の全ての不良を確実に検出できるようになるため、テスト回路の複雑化及び面積増加や、テスト時間の増大などを招くことなく、テスト回路による不良検出精度を向上できる。

【0042】

2. 第1実施の形態

以下、本発明の第1実施の形態に関わる半導体集積回路について説明する。



## 【0043】

図1は、本発明の第1実施の形態に関わる半導体集積回路の例を示している。

## 【0044】

メモリセルアレイ11には、通常データとしてのデータビットとエラー検出のためのコードビットとが記憶される。テスト時、データビットは、例えば、BIST回路13Aにおいて生成され、また、コードビットは、例えば、ECC回路12Aにおいてデータビットに基づき生成される。

## 【0045】

メモリ出力としての読み出しデータは、ECC回路12Aによりエラー訂正された後に、BIST回路13Aに転送される。ECC回路12Aは、N（Nは自然数）ビットのエラー訂正機能、N+1ビットのエラー検出機能を有する。

## 【0046】

例えば、ECC回路12Aが1ビットのエラー訂正機能を有する場合、テスト対象アドレス内に1ビットの不良（セル故障など）があっても、これを訂正できるため、このような不良は、許容することができる。

## 【0047】

つまり、BIST回路13Aでは、ECC回路12Aによりエラー訂正された読み出しデータとバックグラウンドデータ（期待値）との比較が行われるため、テスト対象アドレス内に1ビットを越えない不良があるときは、両者は等しく、テスト結果としては、良品と判断される。

## 【0048】

これに対し、テスト対象アドレス内に2ビット以上の不良（セル故障など）があるときは、1ビットのエラー訂正機能を有するECC回路12Aでは、これを訂正できない。従って、BIST回路13Aでは、読み出しデータとバックグラウンドデータ（期待値）とが完全に一致しないと判断され、テスト結果としては、不良品と判断される。

## 【0049】

ここで、既に説明したように、BIST回路13Aによりマーチパターンを発生させて行う従来のテストでは、テスト対象アドレス内の不良ビットを正確に検出できない場合があり、この場合、不良品を良品として判定してしまう問題がある。

## 【0050】

そこで、本発明の例では、このような問題を解決するために、N+1ビットエラー検知回路14Aを新規に設けている。N+1ビットエラー検知回路14Aは、ECC回路12Aのエラー訂正能力（Nビット）を越えるエラーを確実に検出する機能を有する。

## 【0051】

マーチ動作の基本単位は、(1) バックグラウンドデータの読み出し、及び、(2) バックグラウンドデータを反転させた反転データの書き込み／読み出しからなる。

## 【0052】

READ1は、バックグラウンドデータの読み出し時にイネーブル状態（例えば、“H”）になる信号である。また、READ2は、バックグラウンドデータを反転させた反転データの読み出し時にイネーブル状態（例えば、“H”）になる信号である。

## 【0053】

READ1、READ2のいずれか一方が“H”のとき、メモリセルアレイ11のテスト対象アドレスからデータが読み出され、ECC回路12Aによりエラー検出／訂正される。ECC回路12Aから出力されるSECは、ECC回路12Aによりエラー検出／訂正されたビット数n1、n2を表している。

## 【0054】

例えば、READ1がイネーブル状態になり、メモリセルアレイ11からバックグラウンドデータが読み出されるとき、ECC回路12Aにおいてn1ビットのエラー訂正が行われた場合には、その情報が、SECとして、N+1ビットエラー検知回路14Aに取り込まれる。

## 【0055】

同様に、READ2がイネーブル状態になり、メモリセルアレイ11からバックグラウンドデータを反転させた反転データが読み出されるとき、ECC回路12Aにおいてn2ビットのエラー訂正が行われた場合には、その情報が、SECとして、N+1ビットエラー検知回路14Aに取り込まれる。

## 【0056】

N+1ビットエラー検知回路14Aは、ECC回路12Aによりエラー検出／訂正されたビット数n1、n2の合計がNを越えるとき、即ち、N+1以上であるとき、テストがNG（不良品）であることを示す信号DEDを出力する。

## 【0057】

RSTは、BIST回路13Aがメモリセルアレイ11のテストを開始するとき、N+1ビットエラー検知回路14Aの状態をリセットするための信号である。

## 【0058】

図2は、図1の半導体集積回路の動作（テスト方法1）を示している。

## 【0059】

テスト対象となるメモリは、Nビットのエラー訂正機能、N+1ビットのエラー検出機能を有するECC回路を搭載しているものとする。

## 【0060】

まず、メモリの全てのアドレスに対して、バックグラウンドデータ、例えば、[1010・・・]を書き込む（ステップST1）。

## 【0061】

次に、テスト対象アドレス（最初のアドレス）を決定し、そのテスト対象アドレス内のビットデータ（バックグラウンドデータ）を読み出す（ステップST2、3）。

## 【0062】

この後、テスト1として、エラービット数n1を検出する。

## 【0063】

即ち、ECC回路は、テスト対象アドレス内にNビット以下のエラーn1が存在する場合には、これを検出／訂正すると共に、“n1”を示す信号SECを出力する。また、ECC回路は、テスト対象アドレス内にN+1ビット以上のエラーn1が存在する場合には、これを検出すると共に、それをBIST回路に伝える（ステップST4）。

## 【0064】

次に、テスト対象アドレスに対して、バックグラウンドデータを反転させた反転データの書き込み／読み出しを行う（ステップST5）。

## 【0065】

この後、テスト2として、エラービット数n2を検出する。

## 【0066】

即ち、ECC回路は、テスト対象アドレス内にNビット以下のエラーn2が存在する場合には、これを検出／訂正すると共に、“n2”を示す信号SECを出力する。N+1ビットエラー検知回路は、n1+n2の合計がNを越えるとき、n1及びn2の各々がNを越えていなくても、テストNG（不良品）と判断する。

## 【0067】

また、ECC回路は、テスト対象アドレス内にN+1ビット以上のエラーn2が存在する場合には、これを検出すると共に、それをBIST回路に伝える（ステップST6）。

## 【0068】

次に、n1+n2の合計がN以下のとき、メモリ内の全てのアドレスをテストしたか否かを確認する（ステップST7）。

## 【0069】

メモリ内の全てのアドレスをテストしていない場合には、テスト対象アドレス変えて、再び、テスト1及びテスト2を行う。メモリ内の全てのアドレスをテストしている場合には、テストOK（良品）と判断し、テストを終了する。

## 【0070】

このようなテスト方法によれば、ECC搭載メモリをマーチパターンによりテストする場合に、テスト回路の複雑化及び面積増加や、テスト時間の増大などを招くことなく、テスト回路による不良検出精度を向上させることができる。

## 【0071】

次に、N+1ビットエラー検知回路の回路例について説明する。

## 【0072】

図3は、2ビットエラー検知回路の例を示している。図4は、図3の回路の動作波形を示している。

2ビットエラー検知回路14Aは、1ビットのエラー訂正機能及び2ビットのエラー検出機能を有するECC回路を搭載したメモリをテストする場合に使用される。

## 【0073】

この回路は、前段部と後段部とから構成される。

## 【0074】

前段部は、セクタSEL1、SEL2、レジスタREG1及びオア回路OR1から構成され、バックグラウンドデータの読み出し時（1回目の読み出し時）にECC回路により検出されたエラービット数n1（例えば、1）を記憶する機能を有する。つまり、テスト対象アドレス内に1ビットエラーが発見されたときは、1ビットエラーが検出されたことを示す情報がレジスタREG1に記憶される。

## 【0075】

後段部は、セクタSEL3、SEL4、レジスタREG2及びアンド回路AND1から構成され、バックグラウンドデータを反転させた反転データの読み出し時（2回目の読み出し時）に、前段部のレジスタREG1に記憶されたエラービット数n1とECC回路により検出されたエラービット数n2（例えば、1）との合計を求め、その合計がECC回路のエラー訂正能力N（例えば、1）を越えるか否かを判断する機能を有する。つまり、エラービット数n1、n2の合計がECC回路のエラー訂正能力Nを越えるときは、それを示す信号がレジスタREG2に記憶される。

## 【0076】

具体的な動作について説明する。

## 【0077】

テスト開始時に、まず、RSTが“H”になり、前段部のレジスタREG1及び後段部のレジスタREG2の状態が初期化される。つまり、RSTが“H”になると、セクタSEL2、SEL4は、“1”側の入力信号を選択して出力する状態になるため、その出力信号は、“L(=Vss)”になる。

## 【0078】

従って、レジスタREG1、REG2には、“L”が記憶され、2ビットエラー検知回路14Aの出力信号DEDが“L”になる。

## 【0079】

この後、RSTが“L”になると、セクタSEL2、SEL4は、“0”側の入力信号を選択して出力する状態になる。

## 【0080】

バックグラウンドデータの読み出し時（1回目の読み出し時TREAD1）には、READ1が“H”になり、テスト対象アドレスADDのデータがDoutとして読み出される。この時、セクタSEL1は、“1”側の入力信号を選択して出力する状態になる。従って、ECC回路で1ビットのエラー訂正が行われると、SECが“H”になり、レジスタREG1には、“H”が記憶される。

## 【0081】

この後、書き込み信号WEが“H”、その反転信号bWEが“L”になり、テスト対象アドレスADDについて、バックグラウンドデータを反転させた反転データの書き込みが行われる（TWRITE）。

## 【0082】

バックグラウンドデータを反転させた反転データの読み出し時（2回目の読み出し時）には、READ2が“H”になり、テスト対象アドレスADDのデータがDoutとして読み出される。この時、セクタSEL3は、“1”側の入力信号を選択して出力する状態になる。従って、ECC回路で1ビットのエラー訂正が行われると、SECが“H”になる。

## 【0083】

ここで、前段部のレジスタREG1に“L”が記憶されている場合には、アンド回路AND1の出力信号は“L”になるため、レジスタREG2には“L”が記憶されたままとなる。つまり、2ビットエラー検知回路14Aの出力信号DEDは、“L”のままである。

## 【0084】

これに対し、前段部のレジスタREG1に“H”が記憶されている場合には、アンド回路AND1の出力信号は“H”になるため、レジスタREG2には“H”が記憶される。つまり、2ビットエラー検知回路14Aの出力信号DEDは、“H”になる。

## 【0085】

なお、READ2が“H”になると、前段部のオア回路OR1の出力信号が“H”になり、セクタSEL2は、“1”側の入力信号を選択して出力する状態になる。つまり、この時、前段部のレジスタREG1の状態がリセットされ、次のマーチ動作に備えることができる。

## 【0086】

このように、本発明の例によれば、マーチパターンを用いたテスト方法に関して、1回目の読み出し時TREAD1に発生したエラービット数（例えば、1ビット）と2回目の読み出し時TREAD2に発生したエラービット数（例えば、1ビット）との合計がECC回路のエラー訂正能力（例えば、1ビット）を超える場合には、テストNG（不良品）と判定される。

## 【0087】

一般的には、図5に示すように、ビットエラーの原因がセルの縮退故障であると仮定すると、マーチパターンのように、同一アドレスに対する相補データ（“0”，“1”）の書き込み／読み出しによりメモリのテストを行う場合、縮退故障の総数は、“0”データの書き込み／読み出しにより発生したビットエラーの数と“1”データの書き込み／読み出しにより発生したビットエラーの数との合計になる。

## 【0088】

従って、1回目の読み出し時TREAD1に発生したエラービット数と2回目の読み出し時TREAD2に発生したエラービット数との合計に基づいて、テスト結果（良品／不良品）を判定すれば、テスト対象アドレス内の全ての不良を確実に検出できる。

## 【0089】

以上のように、本発明の例によれば、テスト回路の複雑化及び面積増加や、テスト時間の増大などを招くことなく、テスト回路による不良検出精度を向上できる。

## 【0090】

## 3. 第2実施の形態

以下、本発明の第2実施の形態に関わる半導体集積回路について説明する。

## 【0091】

第1実施の形態では、テスト対象アドレスに対して、相補データ（“0”，“1”）の書き込み／読み出し（テスト1，テスト2）を行うことを前提にして、エラービット数n1，n2を検出することにより、製品の良否を判定する。

## 【0092】

しかし、(1) データビット（例えば、8ビット）のうちの一部（例えば、4ビット）のみを使用するため、その一部のみについてテストを行いたい場合や、(2) コードビットのテストを行いたい場合などにおいては、上述の第1実施の形態をそのまま適用すると不都

合が生じることがある。

【0093】

例えば、データビット（8ビット）のうちの一部（4ビット）のみについてテストを行いたいときでも、テスト対象アドレスは、データビットの全て（8ビット）を含むことになる場合がある。この場合、データビットの一部（4ビット）については、相補データの書き込み／読み出しによりテストを行うことになるが、残りのビット（4ビット）については、同一データの書き込み／読み出しが行われる。

【0094】

従って、同一データの書き込み／読み出しが行われる残りのビット（4ビット）のいずれか1つに縮退故障があると、テスト1及びテスト2の双方においてビットエラーが検出され、1ビットエラーであるにもかかわらず、2ビットエラーと判定されてしまう。

【0095】

また、例えば、データビットとコードビットをテストの対象とする場合でも、コードビットの値は、データビットの値に基づいて決定される。このため、データビットに対して相補データの書き込み／読み出しによりテストを行っても、コードビットの一部については、相補データではなく、同一データの書き込み／読み出しが行われる場合がある。

【0096】

従って、同一データの書き込み／読み出しが行われるコードビットの一部のいずれか1つに縮退故障があると、テスト1及びテスト2の双方においてビットエラーが検出され、1ビットエラーであるにもかかわらず、2ビットエラーと判定されてしまう。

【0097】

そこで、第2実施の形態では、テスト対象アドレスに対しては、原則として相補データ（“0”，“1”）の書き込み／読み出しによりテストを行うが、仮に、テスト対象アドレスの一部について同一データの書き込み／読み出しが行われる場合であっても、縮退故障などの不良を正確に検出するための技術を提案する。

【0098】

図6は、本発明の第2実施の形態に関わる半導体集積回路の例を示している。

【0099】

メモリセルアレイ11には、通常データとしてのデータビットとエラー検出のためのコードビットとが記憶される。テスト時、データビットは、例えば、BIST回路13Bにおいて生成され、また、コードビットは、例えば、ECC回路12Bにおいてデータビットに基づき生成される。

【0100】

メモリ出力としての読み出しデータは、ECC回路12Bによりエラー訂正された後に、BIST回路13Bに転送される。ECC回路12Bは、N（Nは自然数）ビットのエラー訂正機能、N+1ビットのエラー検出機能を有する。

【0101】

ここで、上述の第1実施の形態では、BIST回路13Bによりマーチパターンを発生させてメモリのテストを行う場合に、仮に、テスト対象アドレスの一部に対して、常に、同一データの書き込み／読み出しが行われるときには、1ビットエラーであっても2ビットエラーと判定される場合があり、良品を不良品としてしまう問題がある。

【0102】

そこで、第2実施の形態では、このような問題を解決するために、改良されたN+1ビットエラー検知回路14Bを設けている。N+1ビットエラー検知回路14Bは、ECC回路12Bのエラー訂正能力（Nビット）を越えるビットエラーを正確かつ確実に検知する機能を有する。

【0103】

READ1は、バックグラウンドデータの読み出し時にイネーブル状態（例えば、“H”）になる信号である。また、READ2は、バックグラウンドデータを反転させた反転データの読み出し時にイネーブル状態（例えば、“H”）になる信号である。

## 【0104】

READ 1, READ 2のいずれか一方が“H”のとき、メモリセルアレイ11のテスト対象アドレスからデータが読み出され、ECC回路12Bによりエラー検出／訂正される。

## 【0105】

STATEは、テスト対象アドレスに書き込んだデータパターンを表している。

## 【0106】

例えば、READ 1がイネーブル状態のときには、STATEは、バックグラウンドデータを表している。また、READ 2がイネーブル状態のときには、STATEは、WRITEステップ（図4参照）において、テスト対象アドレスに書き込んだデータ、つまり、バックグラウンドデータを反転した反転データ又はバックグラウンドデータと同じデータを表している。

## 【0107】

このSTATEをチェックすることにより、テスト2において、テスト対象アドレスのいずれのビットに反転データが書き込まれ、いずれのビットに同一データが書き込まれたかを確認できる。

## 【0108】

ECC回路12Bから出力されるSECは、テスト対象アドレスのビット（例えば、データビットnビット+コードビットmビット）の各々に対して、エラーの有無を示す信号であり、エラービットを特定できるようになっている。

## 【0109】

例えば、READ 1がイネーブル状態になり、メモリセルアレイ11からバックグラウンドデータが読み出されるとき、ECC回路12Bにおいて、特定のアドレス（例えば、アドレス5）のビットに対してエラー訂正が行われた場合には、その情報が、SECとして、N+1ビットエラー検知回路14Bに取り込まれる。

## 【0110】

同様に、READ 2がイネーブル状態になり、メモリセルアレイ11からバックグラウンドデータを反転させた反転データ又はバックグラウンドデータと同じデータが読み出されるとき、ECC回路12Bにおいて、特定のアドレス（例えば、アドレス5）のビットに対してエラー訂正が行われた場合には、その情報が、SECとして、N+1ビットエラー検知回路14Bに取り込まれる。

## 【0111】

N+1ビットエラー検知回路14Bは、テスト1において、エラービット数n1を検出する。また、N+1ビットエラー検知回路14Bは、テスト2において、まず、STATEに基づいて、テスト対象アドレスのうちからビットエラーの有無を判断する対象とすべきビット、即ち、チェック対象ビットを特定する。

## 【0112】

この後、N+1ビットエラー検知回路14Bは、チェック対象ビットについて、SEC信号に基づいて、エラービット数n2を求める。

## 【0113】

そして、n1, n2の合計がNを越えるとき、即ち、N+1以上であるとき、テストがNG（不良品）であることを示す信号DEDを出力する。

## 【0114】

RSTは、BIST回路13Bがメモリセルアレイ11のテストを開始するとき、N+1ビットエラー検知回路14Bの状態をリセットするための信号である。

## 【0115】

図7は、図6の半導体集積回路の動作（テスト方法2）を示している。

## 【0116】

テスト対象となるメモリは、Nビットのエラー訂正機能、N+1ビットのエラー検出機能を有するECC回路を搭載しているものとする。

## 【0117】

まず、メモリの全てのアドレスに対して、バックグラウンドデータ、例えば、[1010...]を書き込む(ステップST1)。

## 【0118】

次に、テスト対象アドレス(最初のアドレス)を決定し、そのテスト対象アドレス内のビットデータ(バックグラウンドデータ)を読み出す(ステップST2, 3)。

## 【0119】

この後、テスト1として、エラービット数 $n_1$ を検出する。

## 【0120】

即ち、ECC回路は、テスト対象アドレス内に $N$ ビット以下のエラー $n_1$ が存在する場合には、これを検出/訂正すると共に、テスト対象アドレスの各ビットについてのエラーの有無を示すSEC信号を出力する。 $N+1$ ビットエラー検知回路は、SEC信号に基づいて $n_1$ を求める。

## 【0121】

また、ECC回路は、テスト対象アドレス内に $N+1$ ビット以上のエラー $n_1$ が存在する場合には、これを検出すると共に、それをBIST回路に伝える(ステップST4)。

## 【0122】

次に、チェック対象ビットの特定を行う(ステップST5)。

## 【0123】

即ち、テスト対象アドレス内のビットのうち、バックグラウンドデータを反転させた反転データを書き込むビットのみをテスト2におけるエラービット数 $n_2$ の算出の対象(チェック対象ビット)とし、バックグラウンドデータと同じデータを書き込むビットに対しては、テスト2におけるエラービット $n_2$ の算出の対象としない。

## 【0124】

次に、チェック対象ビットに対して、バックグラウンドデータを反転させた反転データの書き込み/読み出しを行う(ステップST6)。

## 【0125】

この後、テスト2として、エラービット数 $n_2$ を検出する。

## 【0126】

即ち、ECC回路は、テスト対象アドレス内に $N$ ビット以下のエラー $n_2$ が存在する場合には、これを検出/訂正すると共に、テスト対象アドレスの各ビットについてのエラーの有無を示すSEC信号を出力する。 $N+1$ ビットエラー検知回路は、チェック対象ビットについて、SEC信号に基づき、エラービット数 $n_2$ を検出する。

## 【0127】

そして、 $N+1$ ビットエラー検知回路は、 $n_1+n_2$ の合計が $N$ を越えるとき、 $n_1$ 及び $n_2$ の各々が $N$ を越えていなくても、テストNG(不良品)と判断する。

## 【0128】

また、ECC回路は、テスト対象アドレス内に $N+1$ ビット以上のエラー $n_2$ が存在する場合には、これを検出すると共に、それをBIST回路に伝える(ステップST7)。

## 【0129】

次に、 $n_1+n_2$ の合計が $N$ 以下のとき、メモリ内の全てのアドレスをテストしたか否かを確認する(ステップST8)。

## 【0130】

メモリ内の全てのアドレスをテストしていない場合には、テスト対象アドレス変えて、再び、テスト1及びテスト2を行う。メモリ内の全てのアドレスをテストしている場合には、テストOK(良品)と判断し、テストを終了する。

## 【0131】

このようなテスト方法によれば、ECC搭載メモリをマーチパターンによりテストする場合に、テスト回路の複雑化及び面積増加や、テスト時間の増大などを招くことなく、テスト回路による不良検出精度を向上させることができる。

## 【0132】

図8及び図9は、チェック対象ビットの特定についての例を示している。

## 【0133】

まず、データビット（nビット）とコードビット（mビット）とをテスト対象とし、例えば、バックグラウンドデータとして、“1010・・・”という繰り返しデータパターンを書き込んだ場合を考える。

## 【0134】

この場合、図8に示すように、テスト1では、テスト対象アドレス0, 1, …, 7, a, b, …, eの全てのビットを対象にして“n1”を求める。

## 【0135】

この後、データビットに対して、バックグラウンドデータを反転させた反転データ“0101・・・”を書き込もうとすると、コードビットのアドレスc, dには反転データが書き込まれるが、コードビットのアドレスa, b, eには同一データが書き込まれる。

## 【0136】

従って、テスト2の対象にコードビットのアドレスa, b, eを含めると、1ビットエラーを2ビットエラーとして検出してしまう恐れがあるため、これらアドレスa, b, eは、テスト2の対象としない。

## 【0137】

つまり、テスト2では、テスト対象アドレスのうち、データビットの全アドレス0, 1, …, 7とコードビットの特定のアドレスc, dのみを対象（チェック対象ビット）にして“n2”を求める。

## 【0138】

次に、データビット（nビット）の一部のみを使用するため、その一部のみをテストする場合を考える。データビットの一部には、バックグラウンドデータとして、“1010・・・”という繰り返しデータパターンを書き込むものとする。

## 【0139】

この場合、図9に示すように、テスト1では、データビットの一部、即ち、アドレス0, 1, 2, 3のビットを対象にして“n1”を求める。

## 【0140】

この後、データビットの一部に対して、バックグラウンドデータを反転させた反転データ“0101・・・”を書き込む。

## 【0141】

そして、テスト2では、再び、データビットの一部、即ち、アドレス0, 1, 2, 3のビットを対象にして“n2”を求める。

## 【0142】

ここで、アドレス4, 5, 6, 7については、テスト1及びテスト2において同一データが書き込まれるため、これらアドレスのビットをテスト対象にすると、1ビットエラーを2ビットエラーとして検出してしまう恐れがあるため、これらアドレスのビットについては、テストの対象としない。

## 【0143】

図10は、テスト方法2による効果を示している。

## 【0144】

データビット（nビット）とコードビット（mビット）とをテスト対象とし、例えば、コードビットのアドレスeに“0”縮退故障が発生しているとする。バックグラウンドデータは、“1010・・・”という繰り返しパターンとする。

## 【0145】

この場合、テスト1では、テスト対象アドレス0, 1, …, 7, a, b, …, eのうち、コードビットのアドレスeにビットエラーがあることが検出される。

## 【0146】

この後、データビットに対して、バックグラウンドデータを反転させた反転データ“0



101・・・”を書き込む。この時、コードビットのアドレスa, b, c, d, eには、“10011”が書き込まれる。つまり、コードビットのアドレスc, dには反転データが書き込まれるため、これらのアドレスc, dは、チェック対象ビットになるが、コードビットのアドレスa, b, eには同一データが書き込まれるため、これらのアドレスa, b, eは、チェック対象ビットにならない。

【0147】

従って、テスト2においては、再び、コードビットのアドレスeにおけるビットエラーを検出することがないため、1ビットエラーの重複検出を防止できる。

【0148】

このように、本発明の例によれば、マーチパターンを用いたテスト方法に関して、相補データでなく、同一データが書き込まれるアドレスに対しては、テスト2において、エラービット数n2を求めるときの対象（チェック対象ビット）としない。

【0149】

従って、エラービット数n1, n2の合計に基づいて、テスト結果（良品／不良品）を判定すれば、テスト対象アドレス内の不良を正確かつ確実に検出できる。

【0150】

以上のように、本発明の例によれば、テスト回路の複雑化及び面積増加や、テスト時間の増大などを招くことなく、テスト回路による不良検出精度を向上できる。

【0151】

4. その他

本発明の例において、テストの対象となるメモリは、DRAM、SRAMの他、フラッシュメモリ、FeRAM、MRAMなどの不揮発性メモリであってもよい。

【0152】

本発明の例は、例えば、図11に示すように、複数の機能ブロック（CPU、ロジック回路、メモリ1, 2など）を含むシステムLSIにおけるメモリ1, 2のテストに適用できる。

【0153】

上述の各実施の形態に関し、BIST回路は、テストの対象となるメモリセルアレイが配置されるチップ内に形成されていてもよいし、そのチップとは異なるチップに形成されていてもよい。また、BIST回路を省略し、外部テストを用いて、メモリセルアレイのテストを行ってもよい。

【0154】

また、ECC回路については、Nビットエラー訂正機能とN+1ビットエラー検出機能とを有するものとして説明したが、本発明の例においては、ECC回路は、必ずしもN+1ビットエラー検出機能を持っている必要はない。例えば、本発明の例は、ECC回路がNビットエラー訂正機能のみを有する場合にも適用可能である。

【0155】

本発明の例は、上述の実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で、構成要素を変形して具体化できる。また、上述の形態に開示されている複数の構成要素の適宜な組み合わせにより種々の発明を構成できる。例えば、上述の形態に開示される全構成要素から幾つかの構成要素を削除してもよいし、異なる形態の構成要素を適宜組み合わせてもよい。

【産業上の利用可能性】

【0156】

本発明の例は、ECC回路を搭載したメモリをテストするBIST回路に適用され、主として、DRAM、SRAMなどのメモリを含む複数の機能ブロックを持つシステムLSIに有効である。

【図面の簡単な説明】

【0157】

【図1】本発明の第1実施の形態に関わる半導体集積回路を示す図。

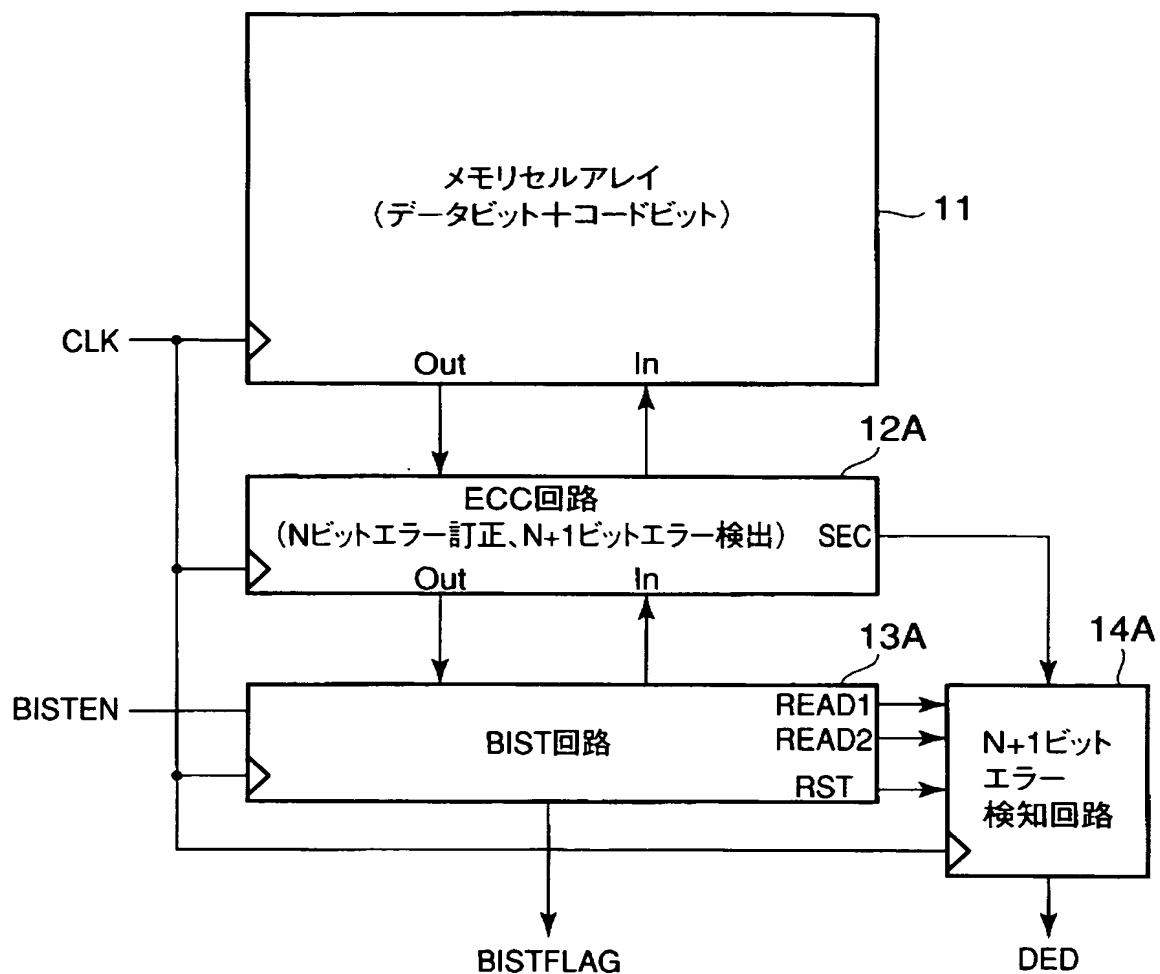
- 【図2】図1の回路の動作の概要（テスト方法1）を示す図。
- 【図3】エラー検知回路の例を示す図。
- 【図4】図1の回路の動作を示す信号波形図。
- 【図5】テスト方法1の具体例を示す図。
- 【図6】本発明の第2実施の形態に関わる半導体集積回路を示す図。
- 【図7】図2の回路の動作の概要（テスト方法2）を示す図。
- 【図8】テスト方法2におけるチェック対象ビットの例を示す図。
- 【図9】テスト方法2におけるチェック対象ビットの例を示す図。
- 【図10】テスト方法2による効果を示す図。
- 【図11】本発明の例が適用されたシステムLSIの概要を示す図。
- 【図12】従来の半導体集積回路を示す図。
- 【図13】従来のテスト方法における問題点を示す図。

【符号の説明】

【0158】

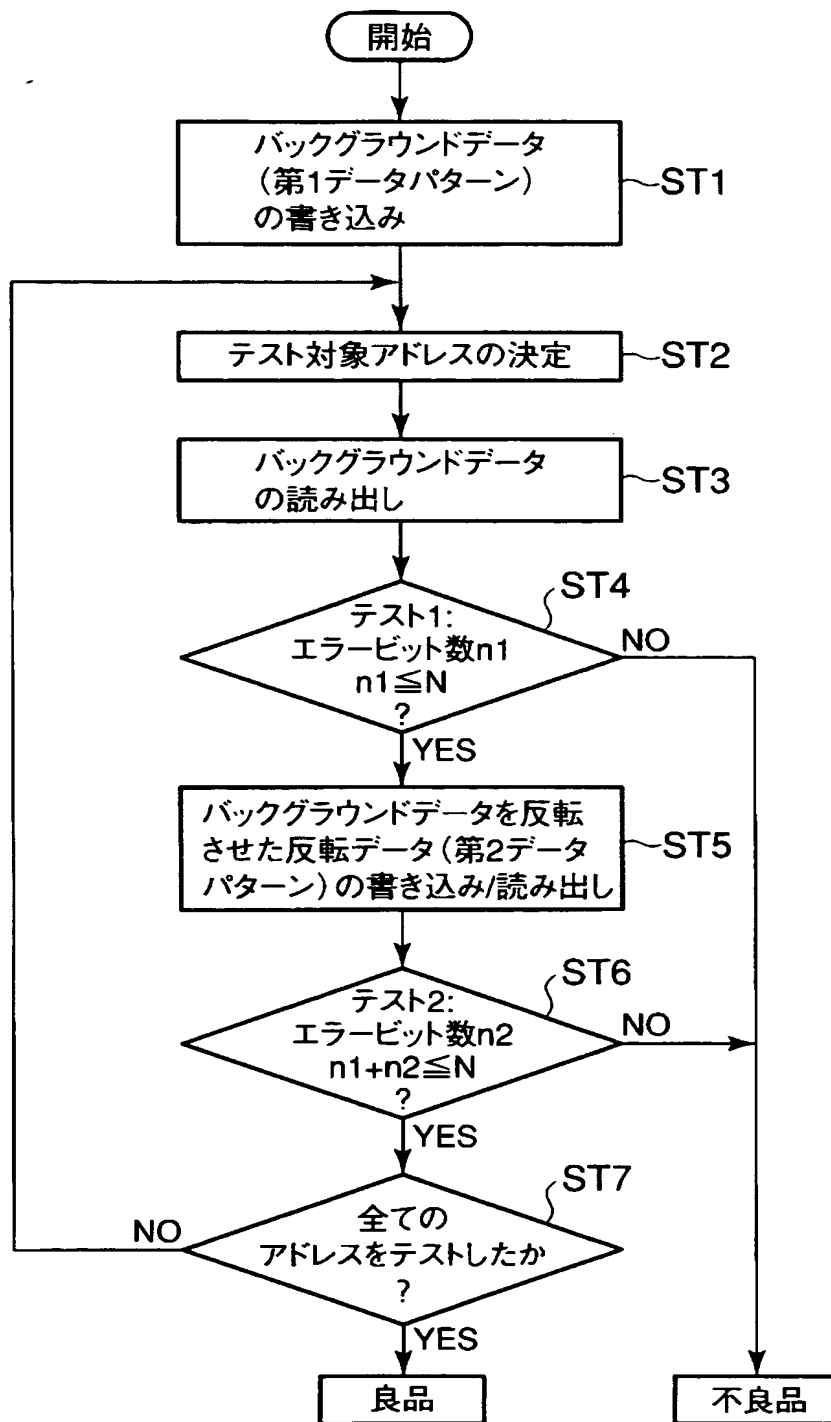
11： メモリセルアレイ、 12, 12A, 12B： ECC回路、 13, 13A, 13B： BIST回路、 14A, 14B： N+1ビットエラー検出回路、 SEL1, SEL2, SEL3, SEL4： セレクタ、 REG1, REG2： レジスタ、 OR1： オア回路、 AND1： アンド回路。

【書類名】 図面  
【図1】

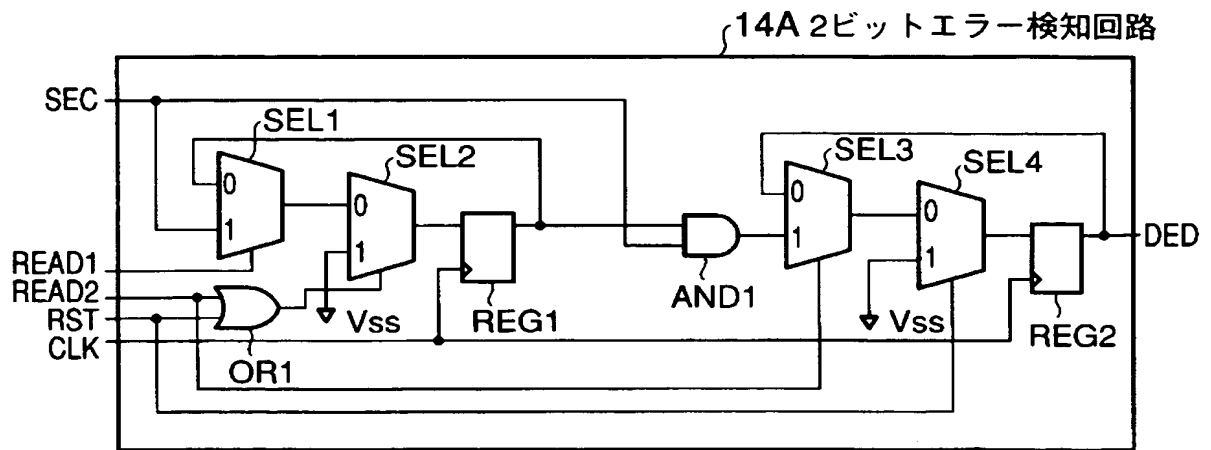


【図 2】

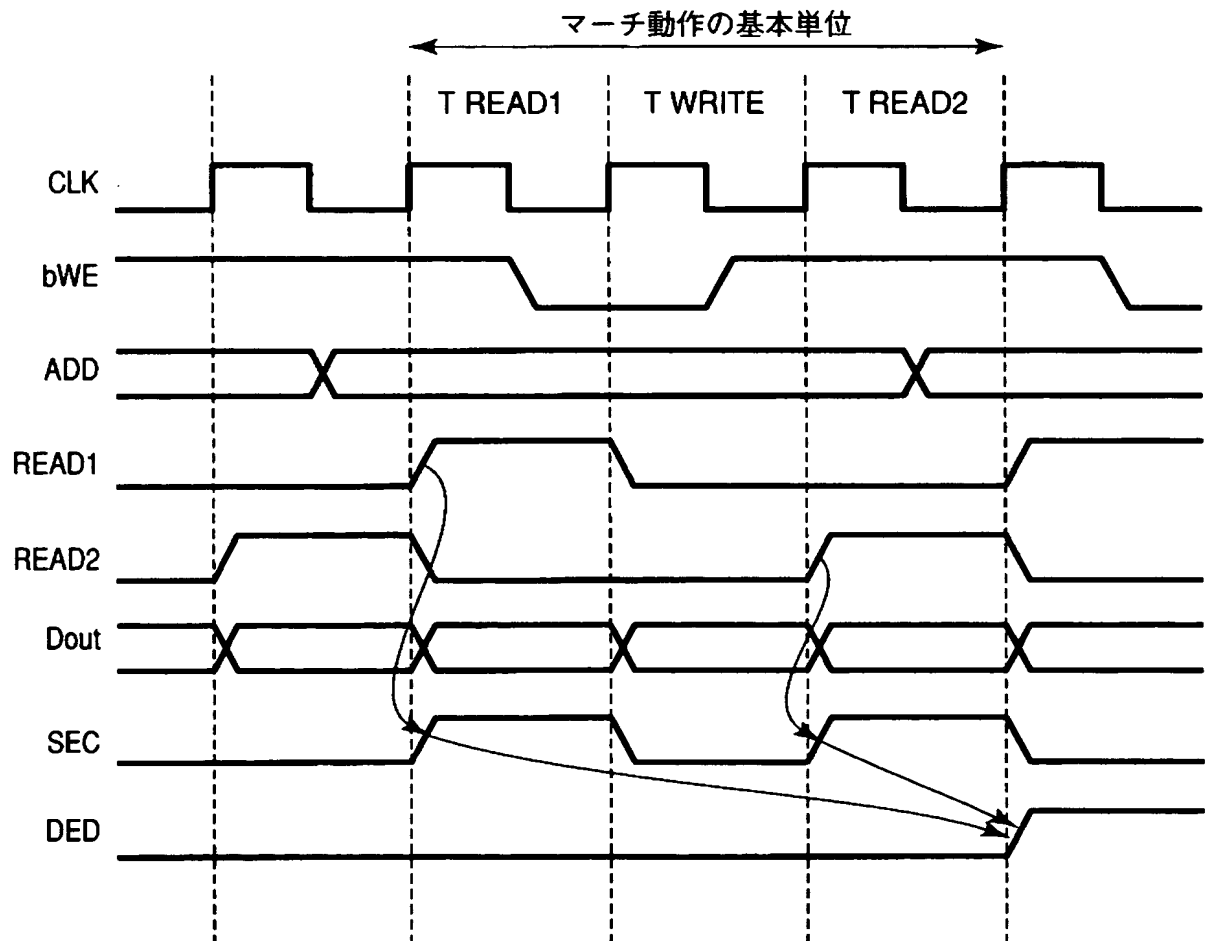
テスト方法1(Nビットエラー訂正、N+1ビットエラー検出可能な ECC回路を搭載したメモリの場合)



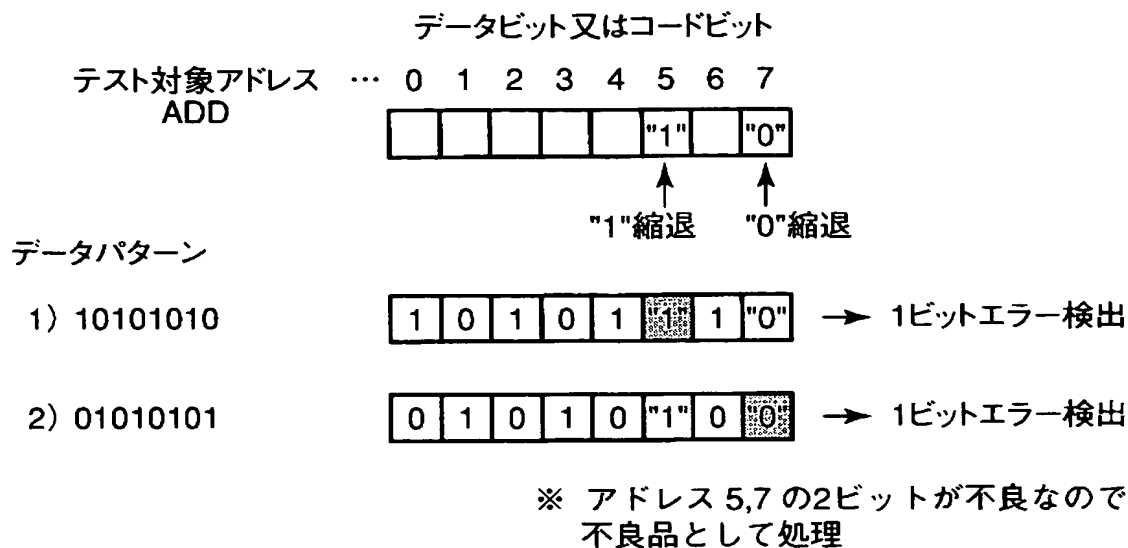
【図3】



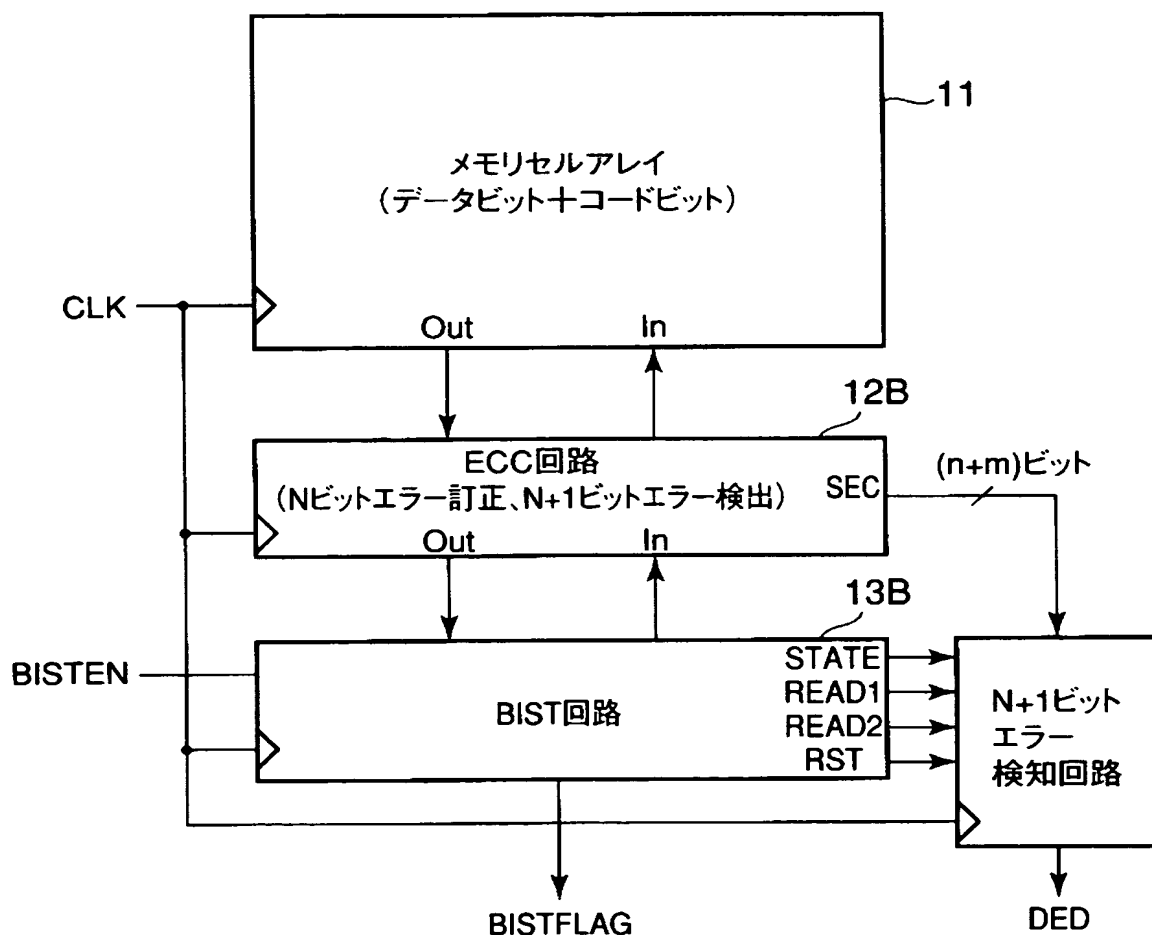
【図4】



【図5】

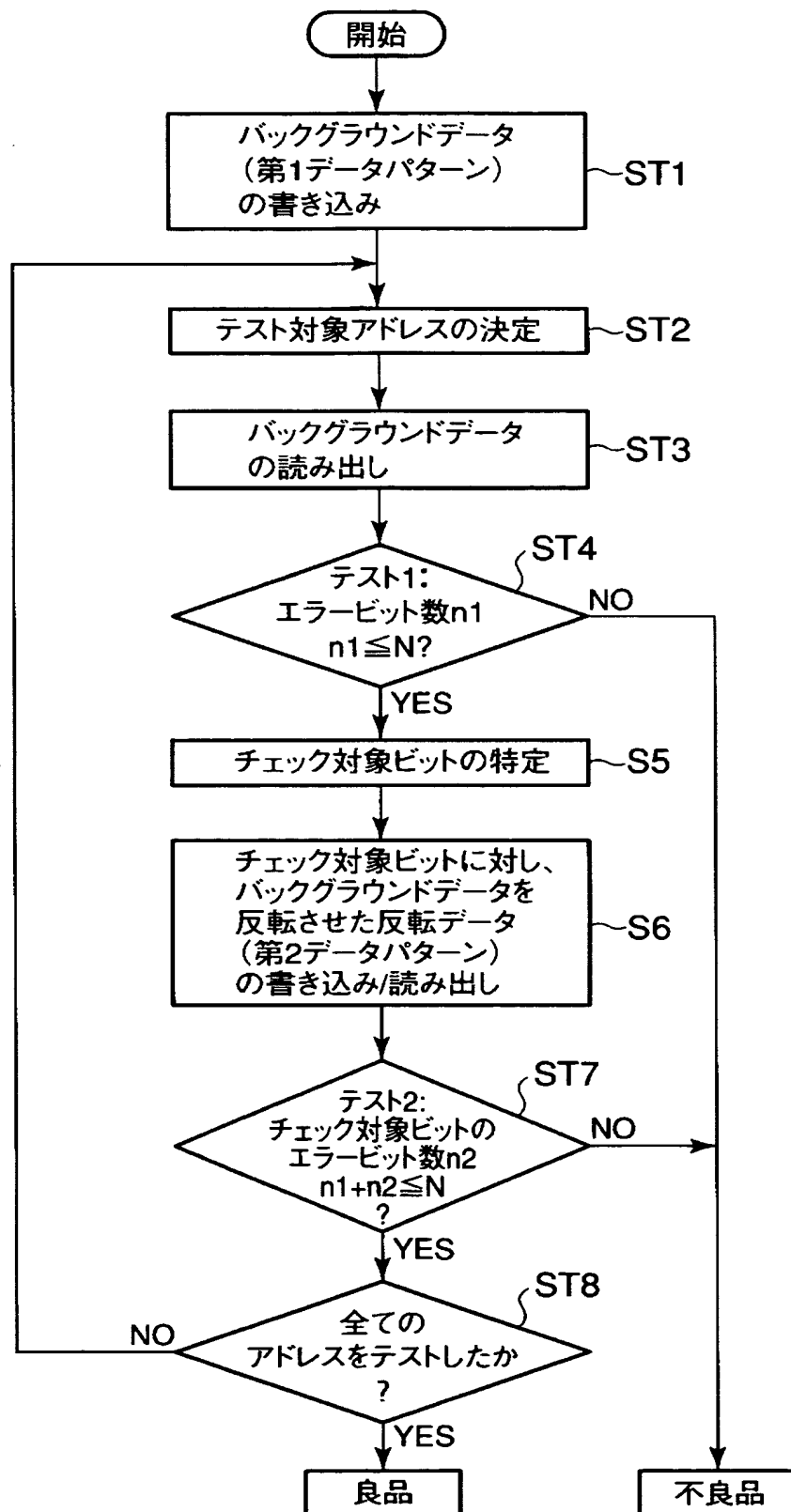


【図6】

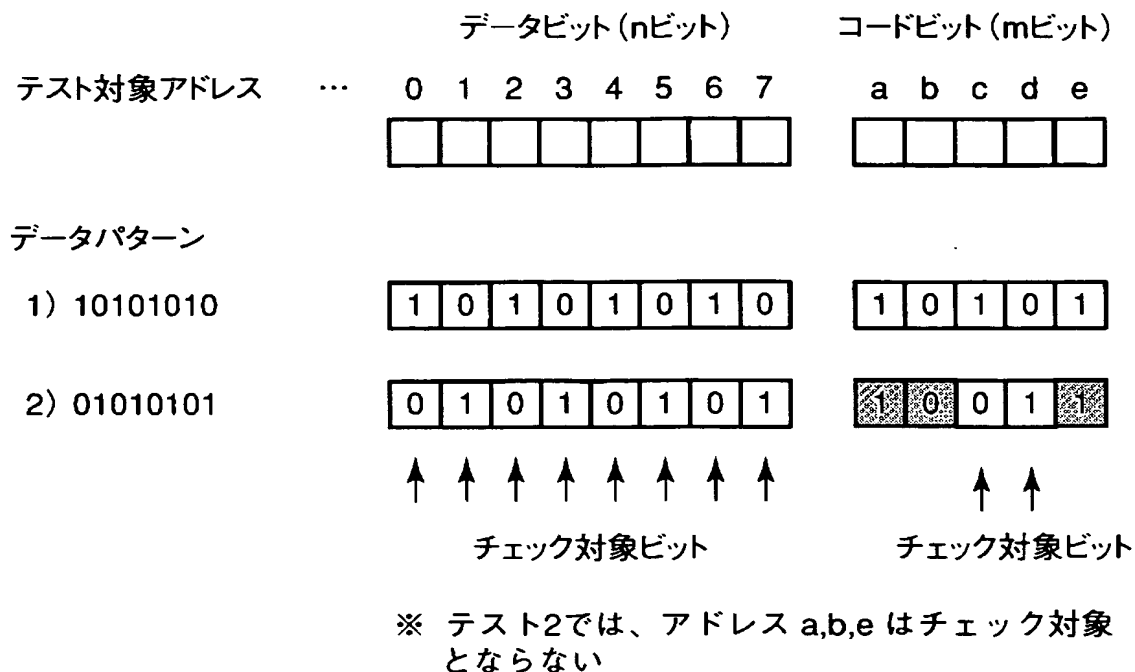


【図7】

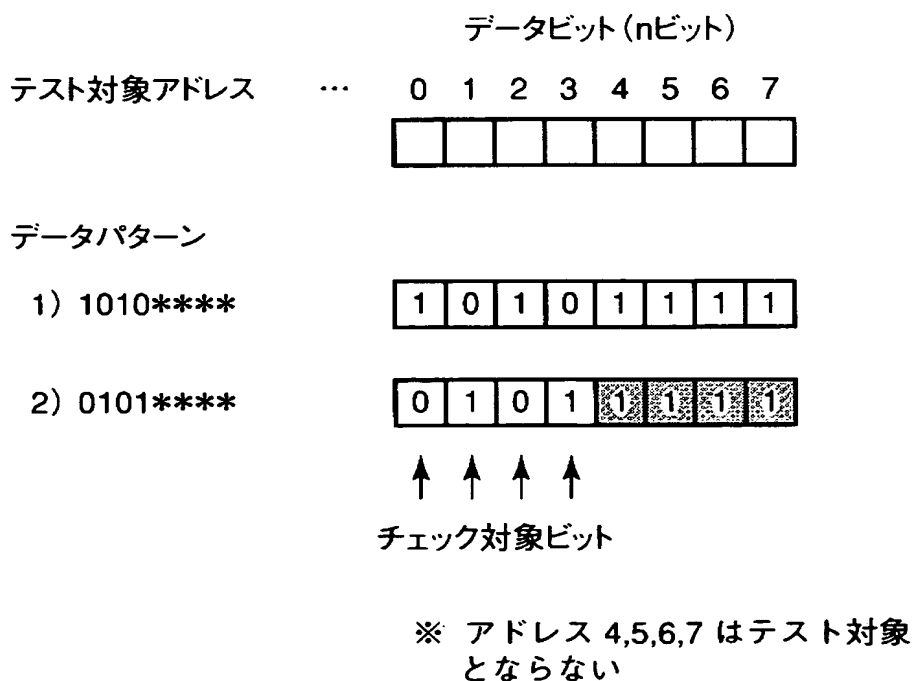
テスト方法2(Nビットエラー訂正、N+1ビットエラー検出可能な  
ECC回路を搭載したメモリの場合)



【図8】

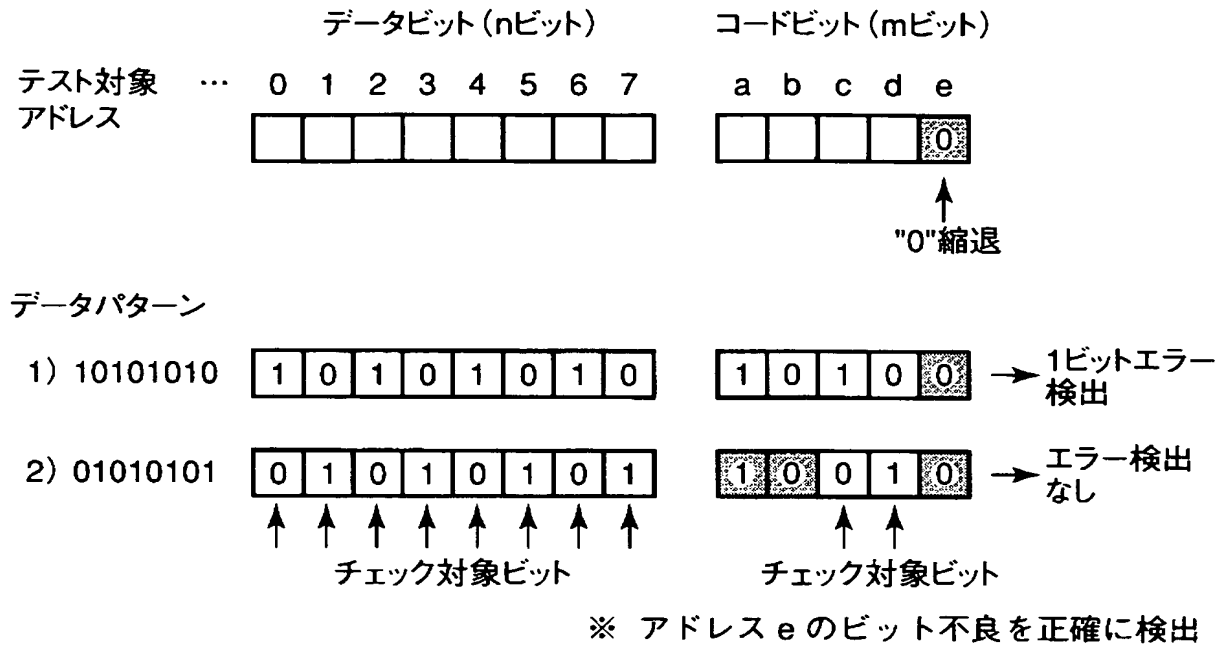


【図9】

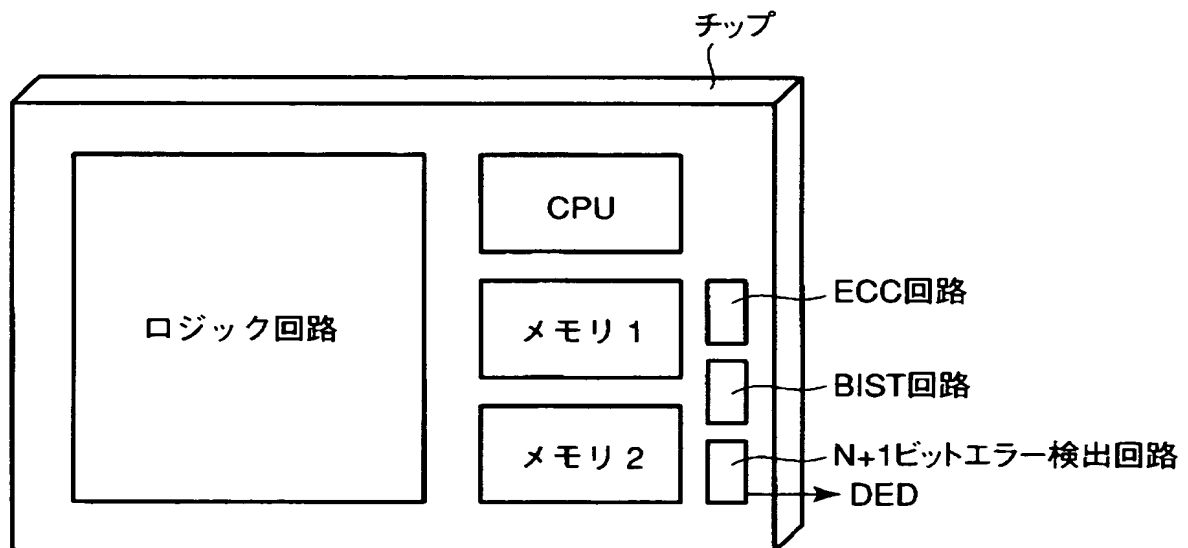




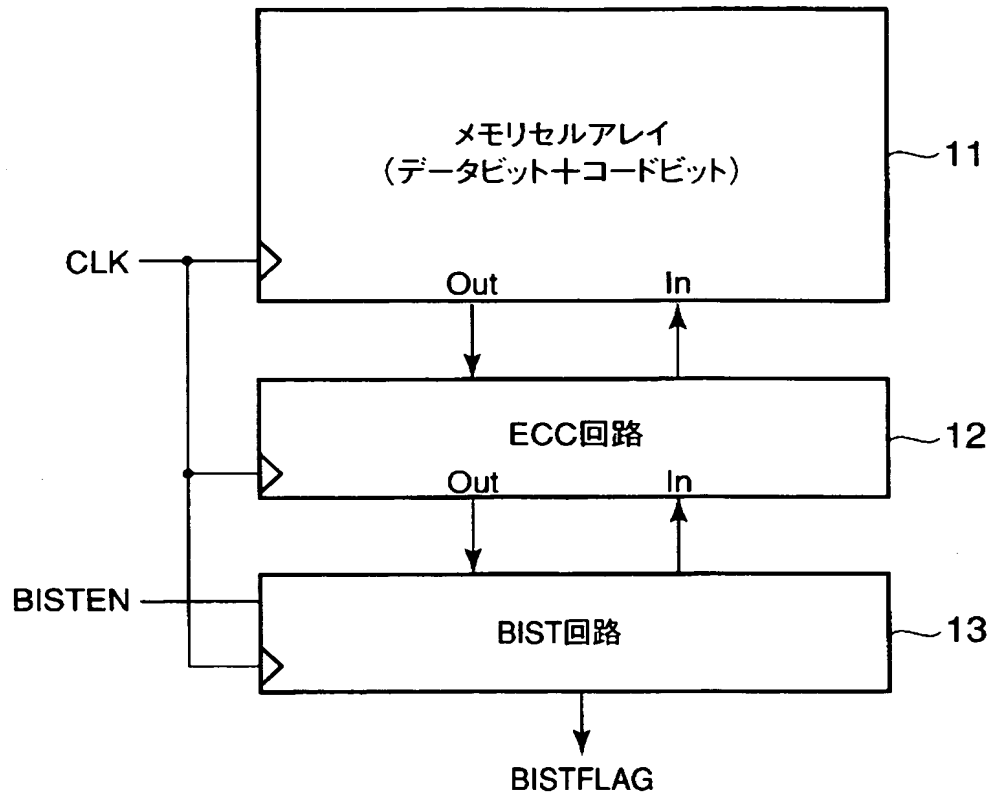
【図 10】



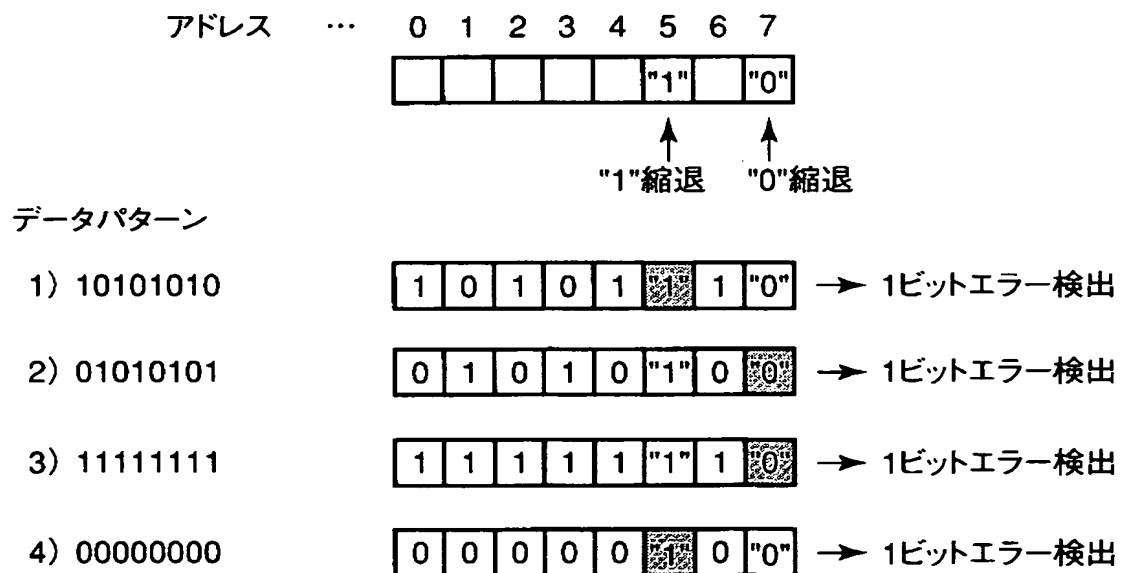
【図 11】



【図12】



【図13】



※ アドレス 5,7 の2ビットが不良であるが良品として処理

## 【書類名】 要約書

## 【要約】

【課題】 ECC搭載メモリをテストするBIST回路の不良検出精度を向上させる。

【解決手段】 ECC回路12Aは、メモリセルアレイ11の出力データに対してN（Nは自然数）ビットのエラー訂正機能を有する。BIST回路13Aは、テスト対象アドレスからバックグラウンドデータの読み出しを行い、かつ、テスト対象アドレスの少なくとも一部に対してバックグラウンドデータを反転させた反転データの書き込み／読み出しを行う。N+1ビットエラー検知回路14Aは、2度の読み出し時にECC回路12Aにより検出されたエラービット数n1，n2の合計がNを越えるとき、テストNG（不良品）であることを示す信号を出力する。

【選択図】 図1

特願 2 0 0 4 - 0 0 9 3 2 9

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 3 0 7 8 ]

1. 変更年月日	2 0 0 1 年 7 月 2 日
[変更理由]	住所変更
住 所	東京都港区芝浦一丁目 1 番 1 号
氏 名	株式会社東芝